

WEITERVERARBEITUNG VON SILICIUM-WAFERN: SiO_2 , Si_3N_4 , EPITAXIE, METALLISIERUNG UND VEREINZELUNG

Das vorangegangene Kapitel beschrieb den Weg vom Quarzsand zu für die Fotolithografie fertigen Silicium-Wafern. Oftmals jedoch erfahren die Wafer vor dem Beginn der weiteren Strukturierung bestimmte Prozessschritte wie z. B. eine thermische Oxidation oder die ganzflächige Beschichtung mit Metallen oder Dielektrika, wie in diesem Kapitel beschrieben.

Thermische Oxidation

Einsatzbereiche

Die elektrischen (10^{14} - 10^{16} Ohm cm, Durchschlagsfestigkeit 10^6 - 10^7 V/cm, Barriere für Elektronen und Löcher aus einkristallinem Si > 3 eV), mechanischen (Schmelzpunkt ca. 1700 °C) und optischen (transparent im sichtbaren sowie nahen und mittleren IR- und UV-Spektralbereich) Eigenschaften von SiO_2 machen es zu einem geeigneten Material für den Einsatz als dielektrische Schicht in Transistoren, Kondensatoren (DRAM) oder Flash-Speichern, als Hartmaske für Diffusions- und Implantationsprozesse bzw. nass- oder trockenchemisches Ätzen, allgemein als elektrische Isolation zwischen Bauteilen oder Antireflexschicht auf z. B. Solarzellen.

Geforderte Schichtdicken bewegen sich von wenigen nm (Gate-Oxid bei state-of-the-art CMOS-Transistoren) zu einigen μm zur elektrischen Isolation zwischen Bauteilen.

Technische Umsetzung

Natives (bei Raumtemperatur an Luft gewachsenes, wenige nm dickes) und thermisches (Wachstum bei 800 ... 1200 °C) Oxid sind – im Gegensatz zum kristallinen Quarz – amorphe Phasen von SiO_2 ohne Fernordnung des Atomgitters. Da das Si des SiO_2 beim nativen und thermischen Oxid vom Substrat stammt, wird dieses verbraucht, während die Gesamtdicke durch das Oxid wächst: Dabei benötigen 100 nm SiO_2 ca. 46 nm an Si. Die Dicke des Wafers wächst dabei um ca. 54 nm.

Unterschieden wird u. a. zwischen trockenem Oxid bzw. *dry oxide* ($\text{Si} + \text{O}_2 \rightarrow \text{SiO}_2$) und – mit H_2O als Prozessgas – nassem Oxid bzw. *wet oxide* ($\text{Si} + 2 \text{H}_2\text{O} \rightarrow \text{SiO}_2 + 2 \text{H}_2$). Letzteres besitzt bei sonst gleichen Prozessparametern aufgrund der höheren Wachstumsrate eine etwas höhere Porosität und damit auch größere Ätzrate in HF.

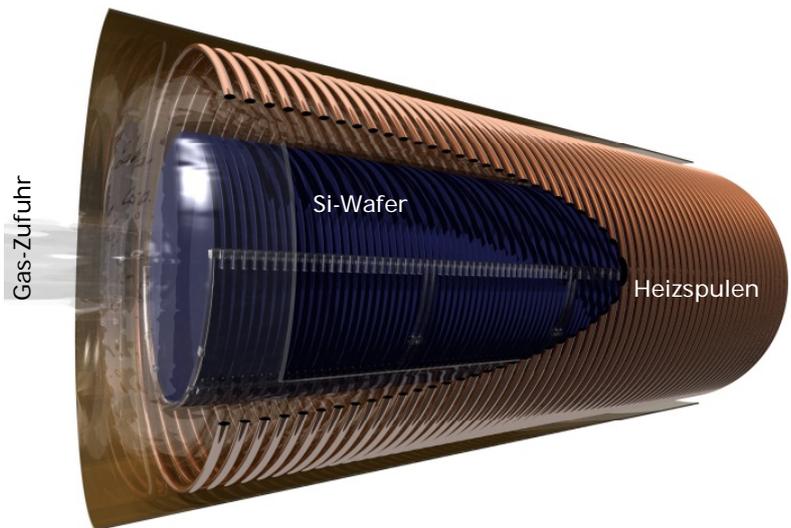


Abb. 23: Schematischer Aufbau eines Ofens zur thermischen Oxidation von Silizium-Wafern

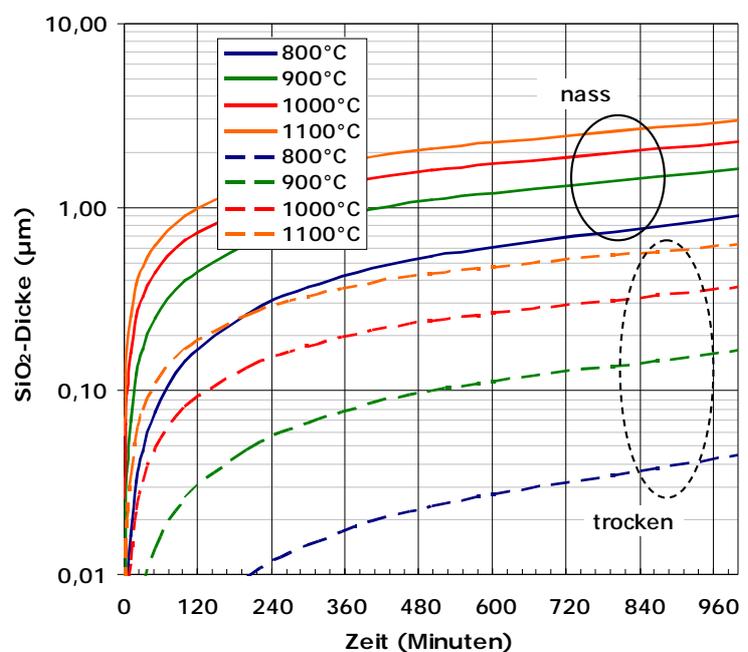


Abb. 24: Die erzielten Schichtdicken von „nassem“ (durchgezogene Linien) und „trockenem“ (gestrichelt) SiO_2 in Abhängigkeit der Wachstumsdauer und -temperatur.

Wachstumsrate und erreichbare Oxidschichtdicken

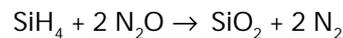
Zu Beginn des SiO₂-Wachstums begrenzt die chemische Reaktionsrate die Wachstumsgeschwindigkeit, die Schichtdicke wächst linear mit der Zeit. Bei zunehmender Oxid-Dicke verlangsamt die Diffusion von Sauerstoff durch das bereits gewachsene Oxid zur Si/SiO₂-Grenzfläche die Wachstumsrate, die SiO₂-Dicke wächst jetzt nur noch mit der Quadratwurzel der Zeit.

Neben den Prozessgasen (O₂/H₂O) und deren Partialdruck sowie der Substrattemperatur (thermisch aktivierte Diffusions- und Reaktionsraten) hängt die Wachstumsrate des Oxids auch von der Kristallrichtung des Si-Substrats relativ zur Wachstumsrichtung, mechanischen Spannungen (bei bereits erfolgter Mikrostrukturierung des Siliciums) sowie der Dotierung ab (schnelleres Oxidwachstum z. B. aus Phosphor-dotiertem Silizium).

PECVD-Beschichtung mit SiO₂

Mechanismus

Alternativ zur thermischen Oxidation von Silicium lassen sich SiO₂-Schichten auch über die Gasphase (PECVD = *Plasma Enhanced Chemical Vapour Deposition*) via



auf Silicium abscheiden.

Vorteile gegenüber thermischem SiO₂

Da die Schichtdicke bei der PECVD-Abscheidung linear mit der Zeit wächst, lassen sich sehr dicke Schichten von mehreren µm deutlich rascher wachsen als über thermische Oxidation. Falls nur wenige Wafer beschichtet werden sollen, ist die PECVD-Abscheidung günstiger als die thermische Oxidation, bei der gleichzeitig größere Stückzahlen (z. B. 100 Wafer) prozessiert werden können.

Thermisches SiO₂ enthält stets die Verunreinigungen (Dotierstoffe) des Silicium-Substrats, während die Zusammensetzung mittels PECVD gewachsener SiO₂-Schichten unabhängig vom Substrat ist.

Nachteile gegenüber thermischem SiO₂

PECVD SiO₂ wächst amorpher als thermisches Oxid, was sich auf die elektrischen und chemischen Eigenschaften auswirkt:

Verglichen mit thermischem SiO₂ besitzt PECVD SiO₂ eine geringere elektrische Durchbruchfestigkeit, weshalb die teils wenige nm dicke Gate-Oxide bevorzugt thermisch hergestellt werden.

Zudem ist die Ätzrate von PECVD SiO₂ deutlich höher als die von thermischem Oxid, weshalb es sich nicht so gut als Ätzmaske für z. B. anisotropes Si-Ätzen eignet.

Abscheidung von Siliciumnitrid

Einsatz von Siliciumnitrid

Während stöchiometrisches Siliciumnitrid (Si₃N₄) im Werkzeugbau aufgrund seiner hohen Härte und thermischen Stabilität u. a. in extrem beanspruchten Wälzlagern oder Schneidwerkzeugen eingesetzt wird, sind es in der Halbleitertechnik v. a. die chemischen, elektrischen und optischen Eigenschaften, welche dieses Material für verschiedene Einsatzbereiche interessant machen.

In integrierten Schaltungen wird amorphes Siliciumnitrid als Passivierungs- oder Isolationsschicht, wegen seiner hohen Stabilität in alkalischen oder Flusssäure-haltigen Medien in lithografischen Prozessen als Maskierungs- und Ätzstopp-Material, wegen seiner geringen Diffusionskonstante für Sauerstoff als Maskierung für Oxidationsprozesse, und in der Fotovoltaik wegen seines einstellbaren Brechungsindex als Anti-Reflexionsbeschichtung eingesetzt.

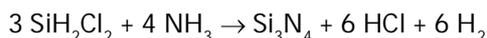
PECVD Siliciumnitrid

Das mittels PECVD (*Plasma Enhanced Chemical Vapour Deposition*) aus SiH₄ und NH₃ abgeschiedene amorphe Siliciumnitrid (SiN_x) enthält je nach Abscheidetemperatur und Gaszusammensetzung typischerweise 5 - 20 Atom-% Wasserstoff (deshalb auch manchmal SiN_x:H genannt), welcher die offenen Bindungen absättigt und dadurch das Gitter chemisch und physikalisch stabilisiert.

SiN_x kann z. B. über Fotolackmasken entweder mittels Flusssäure, oder selektiv zu SiO_2 mit heißer konzentrierter Phosphorsäure geätzt werden. Die Ätzrate von SiN_x in Flusssäure hängt entscheidend von der Abscheidetemperatur und dem Brechungsindex ab. Eine wasserstofffreie Siliciumnitrid-Schicht, deponiert bei 100°C mit einem Brechungsindex von $n = 1.9$ hat in gepufferter Flusssäure (12.5 % HF) eine Ätzrate von mehreren 100 nm/min. Eine bei 400°C deponierte Schicht mit einem Brechungsindex von $n = 2$ zeigt hingegen eine Ätzrate von nur ca. 10 nm/min.

LPCVD Siliciumnitrid

LPCVD (*Low Pressure Chemical Vapour Deposition*) Siliciumnitrid wird über die Reaktionsgleichung



verglichen mit der PECVD-Abscheidung bei deutlich höheren Temperaturen um $700 - 850^\circ\text{C}$ abgeschieden. Dadurch wächst die Schicht deutlich Wasserstoff-ärmer und stöchiometrischer als PECVD-Nitrid und zeigt sehr gute elektrischen Eigenschaften, eine sehr gute Kantenbedeckung, eine hohe thermischer Stabilität und eine geringe Ätzrate in Flusssäure.

Die Abscheidung erfolgt über die Teilschritte 1) Gaszufuhr der Reaktanden, 2) physikalische Bindung der Moleküle an der Oberfläche, 3) chemische Bindung auf der Oberfläche und 4) Desorption und Abtransport der Nebenprodukte. Die Wachstumsrate ist hierbei fast ausschließlich durch die chemische Reaktion auf der wachsenden Schicht und nicht durch Zufuhr und Verbrauch der Ausgangsstoffe limitiert, eine signifikante Verarmung der Reaktanden findet durch die verglichen mit der PECVD-Abscheidung geringere Wachstumsrate nicht statt. Deshalb lassen sich gleichzeitig viele (z. B. 25 oder 50) Wafer im Gasstrom eines Reaktors mit sehr hoher Schichtdickenhomogenität über die Waferoberfläche also auch von Wafer zu Wafer einer Charge prozessieren.

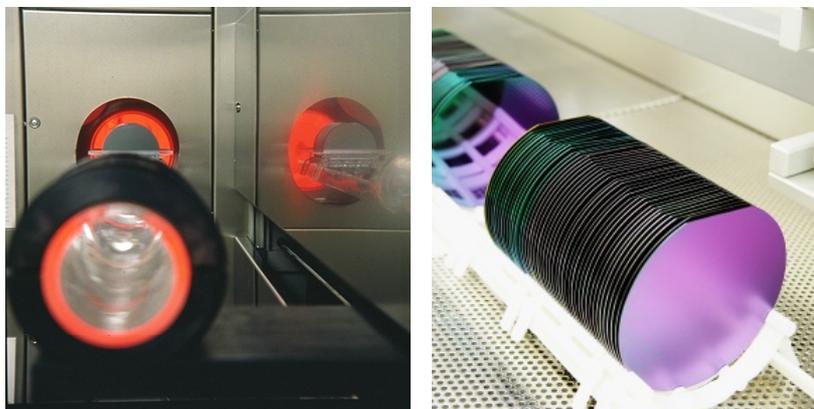


Abb. 25: Ein LPCVD Reaktor (links) und fertig mit Si_3N_4 beschichtete Wafer (rechts). Beide Fotos freundlicherweise zur Verfügung gestellt vom IMSAS, Universität Bremen

Die Abscheidung lässt sich so steuern, dass entweder mechanisch möglichst unverspanntes (low stress), oder annähernd stöchiometrisches (Si_3N_4) Siliciumnitrid entsteht.

Materialeigenschaften von Siliciumnitrid und Siliciumdioxid

| Material | Wärmeausdehnungskoeffizient ($10^{-6}/\text{K}$) | Brechzahl ($\lambda = 600 \text{ nm}$) | Durchschlagsfestigkeit (kV/mm) | Dichte (g/cm^3) |
|---|--|--|--------------------------------|-----------------------------------|
| PECVD SiO_2 | | 1.45 - 1.47 | 600 - 700 | |
| SiO_2 (einkristallin) | 7.5 - 14 | 1.54 | > 1000 | 2.65 |
| PECVD SiN_x | | > 2.01* | 600 - 700 | |
| LPCVD SiN_x | | 2.01 - 2.05* | > 1000 | |
| Si_3N_4 (einkristallin) | 3.3 | 2.01 | > 1000 | 3.29 |

Tab. 1: Eine Gegenüberstellung der Materialeigenschaften von Siliciumnitrid und Silicium-Oxid

* Der Brechungsindex steigt bei Si-reicherer Abscheidung

Metallisierung

Die flüchtige Metallisierung von Wafern erfolgt üblicherweise über thermisches Aufdampfen oder Sputtern. Da die Haftung vieler Metalle auf Silicium vergleichsweise schlecht ist emp fiehlt sich, falls es der Prozess erlaubt, eine metallische Haftschiicht von 10 - 20 nm Chrom oder Titan zwischen Substrat und der eigentlichen Metallisierung. Im Falle einer späteren Beschichtung des Metallfilms mit Fotolack ist zu beachten, dass Edelmetalle meist eine sehr schlechte Haftung zu Polymeren aufweisen, entsprechend eine weitere Haftschiicht von 10 - 20 nm Chrom oder Titan auf dem Metall sinnvoll sein kann.

Epitaxie

Mechanismus

Hierbei wird auf dem fertigen Si-Wafer aus der Gasphase eine monokristalline Si-Schiicht abgeschieden. Häufig verwendete Prozessgase sind jeweils mit Wasserstoff versetztes Silan (SiH_4), Dichlorsilan (SiH_2Cl_2) oder Trichlorsilan (SiHCl_3), welche sich auf dem auf ca. 600 - 1000°C erhitzten Si-Wafer thermisch zersetzen. Das freigewordene Silizium baut sich Monolage um Monolage in das kristalline Gitter der wachsenden Schicht ein.

Anwendungsbereiche

Durch Zugabe von Dotiergasen wie Phosphin, Arsin oder Diboran lässt sich ein Dotierprofil in der Epitaxieschiicht realisieren, wie es z. B. für kastenförmige Dotierprofile oder der Erzeugung einer hoch dotierten unter einer gering dotierten Schicht notwendig ist.

Bereits auf dem Wafer erzeugte Schichten (z. B. über Ionenimplantation realisierte dotierte Bereiche, oder Isolierschichten für SOI-Strukturen, s. nächster Abschnitt) oder mikroelektronische Bauteile können unter der nachfolgenden Epitaxie-Schiicht „vergraben“ werden (*buried layer*).

Die Sauerstoff- und Kohlenstoff-Konzentration in der Epitaxieschiicht ist sehr gering, was die elektronische Qualität gegenüber dem Si-Substrat verbessert.

SOI-Wafer

Prinzip

Bei SOI (*Silicon On Insulator*) Wafern befinden sich eine kristalline Silizium-Schiicht bzw. lithografisch daraus hergestellte Bauteile auf einem elektrischen Isolator. Hierfür gibt es u. a. zwei Anwendungsbereiche:

Anwendungsbereiche

Transistoren auf einer isolierenden Schicht zeigen kleinere Leckströme und besitzen eine geringere elektrische Kapazität als Transistoren welche direkt auf dem Si-Substrat sitzen. Dadurch werden zum Schalten weniger Ladungen benötigt, was neben der Verlustleistung auch die Schaltzeit verringert und so höhere Taktraten ermöglicht.

In der Mikro-Optik erlaubt die Isolationsschiicht integrierte optische Komponenten mit Wellenleitern, in welchen durch den geringeren Brechungsindex des Isolators im infraroten Spektralbereich (z. B. $n = 1.5$ für SiO_2) verglichen mit $n = 3.5$ für Si langwelliges Licht durch Total-Reflexion im Silizium geführt werden kann.

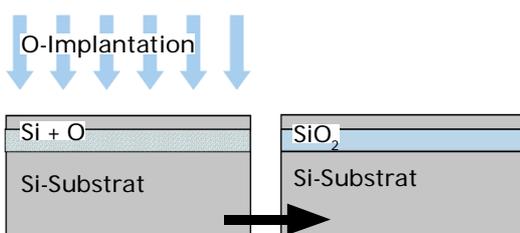


Abb. 26: Eine Möglichkeit der Herstellung von SOI-Wafern mit dem SIMOX™-Verfahren (Separation by Implantation of Oxygen)

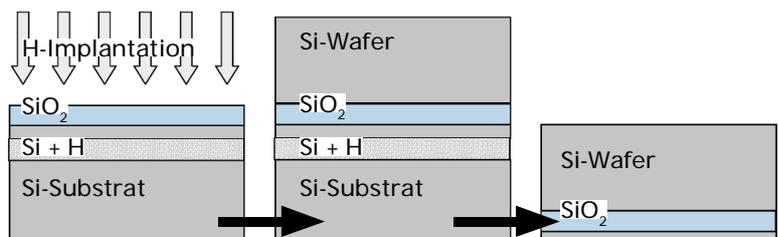


Abb. 27: Eine andere Möglichkeit der Herstellung von SOI-Wafern über das *Smart-Cut*-Verfahren, welches Ionenimplantation mit nachfolgendem Waferbonden kombiniert

Technische Umsetzung

Eine Möglichkeit der Herstellung von SOI-Wafern ist das SIMOX™-Verfahren (*Separation by Implantation of Oxygen*, Abb. 26).

Der erste Schritt hierbei ist die Ionenimplantation von Sauerstoff in Si-Wafer, wobei durch die Energie der O-Ionen die Tiefenverteilung der Sauerstoffkonzentration im Silizium genau gesteuert werden kann (im Grundsatz näher beschrieben in Kapitel 29 auf Seite 134). Ein nachfolgender Hochtemperaturschritt heilt die gestörte Si-Kristallstruktur wieder aus und formt aus dem Si/O-Gefüge SiO₂.

Das „Smart-Cut“-Verfahren (Abb. 27) kombiniert die Ionenimplantation mit der Technik des Waferbondens. Dabei werden zunächst Wasserstoffionen in einen oxidierten Silicium-Wafer eingebracht und dieser mit einem nicht oxidierten Wafer gebondet, also ganzflächig und dauerhaft miteinander verbunden. Dieses Waferbonding erfolgt entweder durch hohen mechanischen Druck mit Hilfe von Wasserstoffbrücken und Van-der-Waals-Wechselwirkungen, oder mittel anodischem Bonden bei welcher durch anlegen einer elektrischen Spannung die Bildung chemischer Bindungen an der Kontaktfläche beider Wafer induziert wird.

Ein Backschritt (> 500°C) spaltet durch mechanische Spannungen den ersten Wafer in der Tiefe der implantierten H-Ionen.

Vereinzelung von Wafern

Prinzip

Aus ursprünglich runden Wafern mit prinzipiell nahezu allen technisch möglichen Spezifikationen werden mittels Wafersäge oder Drahtsäge rechteckige Stücke geschnitten. Dem Material des Substrates und der Größe der vereinzelt Stücke sind weniger technische, als vielmehr ökonomische Grenzen gesetzt: Bedingt durch die relativ hohen Rüstkosten macht eine Vereinzelung meist erst ab 25 Ausgangswafern Sinn.

Durch uns realisierbare Parameter für vereinzelt Si-Wafer

| | |
|---------------|---|
| Material: | CZ-Si oder FZ-Si, mit und ohne SiO ₂ |
| Abmessungen: | Von 5 x 5 mm bis 120 x 100 mm |
| Wafer-Dicke: | 200 µm - 1 mm |
| Orientierung: | <100> und <111>; <110> auf Anfrage |

Unsere Fotolacke: Anwendungsbereiche und Kompatibilitäten

| Anwendungsbereiche ¹ | | Lackserie | Fotolacke | Schichtdicke ² | Empfohlene Entwickler ³ | Empfohlene Remover ⁴ |
|---|---|--|--|---|---|---|
| Positiv | Hohe Haftung für nasschemisches Ätzen, kein Fokus auf senkrechte Lackflanken | AZ [®] 1500 | AZ [®] 1505 AZ [®] 1512 HS AZ [®] 1514 H AZ [®] 1518 | ≈ 0,5 µm ≈ 1,0 - 1,5 µm ≈ 1,2 - 2,0 µm ≈ 1,5 - 2,5 µm | AZ [®] 351B, AZ [®] 326 MIF, AZ [®] 726 MIF, AZ [®] Developer | AZ [®] 100 Remover TechniStrip [®] P1316 TechniStrip [®] P 1331 |
| | | AZ [®] 4500 | AZ [®] 4533 AZ [®] 4562 | ≈ 3 - 5 µm ≈ 5 - 10 µm | AZ [®] 400K, AZ [®] 326 MIF, AZ [®] 726 MIF, AZ [®] 826 MIF | |
| | | AZ [®] P4000 | AZ [®] P4110 AZ [®] P4330 AZ [®] P4620 AZ [®] P4903 | ≈ 1 - 2 µm ≈ 3 - 5 µm ≈ 6 - 20 µm ≈ 10 - 30 µm | AZ [®] 400K, AZ [®] 326 MIF, AZ [®] 726 MIF, AZ [®] 826 MIF | |
| | | AZ [®] PL 177 | AZ [®] PL 177 | ≈ 3 - 8 µm | AZ [®] 351B, AZ [®] 400K, AZ [®] 326 MIF, AZ [®] 726 MIF, AZ [®] 826 MIF | |
| | Sprühbelackung | AZ [®] 4999 | | ≈ 1 - 15 µm | AZ [®] 400K, AZ [®] 326 MIF, AZ [®] 726 MIF, AZ [®] 826 MIF | |
| | Tauchbelackung | MC Dip Coating Resist | | ≈ 2 - 15 µm | AZ [®] 351B, AZ [®] 400K, AZ [®] 326 MIF, AZ [®] 726 MIF, AZ [®] 826 MIF | |
| | Steile Flanken, hohe Auflösung und großes Aspektverhältnis für z. B. Trockenätzen und Galvanik | AZ [®] ECI 3000 | AZ [®] ECI 3007 AZ [®] ECI 3012 AZ [®] ECI 3027 | ≈ 0,7 µm ≈ 1,0 - 1,5 µm ≈ 2 - 4 µm | AZ [®] 351B, AZ [®] 326 MIF, AZ [®] 726 MIF, AZ [®] Developer | |
| | | AZ [®] 9200 | AZ [®] 9245 AZ [®] 9260 | ≈ 3 - 6 µm ≈ 5 - 20 µm | AZ [®] 400K, AZ [®] 326 MIF, AZ [®] 726 MIF | |
| Hoher Erweichungspunkt und hochauflösend für z. B. Trockenätzen | AZ [®] 701 MiR | AZ [®] 701 MiR (14 cPs) AZ [®] 701 MiR (29 cPs) | ≈ 0,8 µm ≈ 2 - 3 µm | AZ [®] 351B, AZ [®] 326 MIF, AZ [®] 726 MIF, AZ [®] Developer | | |
| Positiv (chem. verstärkt) | Steile Flanken, hohe Auflösung und großes Aspektverhältnis für z. B. Trockenätzen und Galvanik | AZ [®] XT | AZ [®] 12 XT-20PL-05 AZ [®] 12 XT-20PL-10 AZ [®] 12 XT-20PL-20 AZ [®] 40 XT | ≈ 3 - 5 µm ≈ 6 - 10 µm ≈ 10 - 30 µm ≈ 15 - 50 µm | AZ [®] 400K, AZ [®] 326 MIF, AZ [®] 726 MIF | AZ [®] 100 Remover TechniStrip [®] P1316 TechniStrip [®] P1331 |
| | | AZ [®] IPS 6050 | | ≈ 20 - 100 µm | | |
| Image reversal | Hoher Erweichungspunkt und unterschrittene Lackprofile für Lift-off | AZ [®] 5200 | AZ [®] 5209 AZ [®] 5214 | ≈ 1 µm ≈ 1 - 2 µm | AZ [®] 351B, AZ [®] 326 MIF, AZ [®] 726 MIF | TechniStrip [®] Micro D2 TechniStrip [®] P1316 TechniStrip [®] P1331 |
| | | TI | TI 35ESX TI xLift-X | ≈ 3 - 4 µm ≈ 4 - 8 µm | | |
| Negativ (quervernetzend) | Unterschnittene Lackprofile und dank Quervernetzung kein thermisches Erweichen für Lift-off | AZ [®] nLOF 2000 | AZ [®] nLOF 2020 AZ [®] nLOF 2035 AZ [®] nLOF 2070 | ≈ 1,5 - 3 µm ≈ 3 - 5 µm ≈ 6 - 15 µm | AZ [®] 326 MIF, AZ [®] 726 MIF, AZ [®] 826 MIF | TechniStrip [®] NI555 TechniStrip [®] NF52 TechniStrip [™] MLO 07 |
| | | AZ [®] nLOF 5500 | AZ [®] nLOF 5510 | ≈ 0,7 - 1,5 µm | | |
| | Hohe Haftung, steile Lackflanken und große Aspektverhältnisse für z. B. Trockenätzen und Galvanik | AZ [®] nXT | AZ [®] 15 nXT (115 cPs) AZ [®] 15 nXT (450 cPs) | ≈ 2 - 3 µm ≈ 5 - 20 µm | AZ [®] 326 MIF, AZ [®] 726 MIF, AZ [®] 826 MIF | |
| AZ [®] 125 nXT | | | ≈ 20 - 100 µm | AZ [®] 326 MIF, AZ [®] 726 MIF, AZ [®] 826 MIF | | |

¹ Theoretisch können alle Lacke für nahezu alle Anwendungen eingesetzt werden. Mit dem Anwendungsbereich sind hier die besonderen Eignungen der jeweiligen Lacke gemeint.
² Mit Standardequipment unter Standardbedingungen erzielbare und prozessierbare Lackeschichtdicke. Manche Lacke können für geringere Schichtdicken verdünnt werden, mit entsprechendem Mehraufwand sind auch dickere Lackeschichten erziel- und prozessierbar.
³ Metallionenfremde (MIF-) Entwickler sind deutlich teurer und - dann sinnvoll, wenn metallionenfremd entwickelt werden muss

Unsere Entwickler: Anwendungsbereiche und Kompatibilitäten

Anorganische Entwickler

(typischer Bedarf bei Standard-Prozessen: ca. 20 L Entwickler je L Fotolack)

AZ[®] Developer basiert auf Na-Phosphat und Na-Metasilikat, ist auf minimalen Aluminiumabtrag optimiert und wird 1 : 1 verdünnt in DI-Wasser für hohen Kontrast bis unverdünnt für hohe Entwicklungsraten eingesetzt. Der Dunkelabtrag ist verglichen mit anderen Entwicklern etwas höher.

AZ[®] 351B basiert auf gepufferter NaOH und wird üblicherweise 1 : 4 mit Wasser verdünnt angewandt, für Dicklacke auf Kosten des Kontrasts bis ca. 1 : 3

AZ[®] 400K basiert auf gepufferter KOH und wird üblicherweise 1 : 4 mit Wasser verdünnt angewandt, für Dicklacke auf Kosten des Kontrasts bis ca. 1 : 3

AZ[®] 303 speziell für den AZ[®] 111 XFS Fotolack basiert auf KOH / NaOH und wird üblicherweise 1 : 3 - 1 : 7 mit Wasser verdünnt angewandt, je nach Anforderung an Entwicklungsrate und Kontrast.

Metallionenfremde Entwickler (TMAH-basiert)

(typischer Bedarf bei Standard-Prozessen: ca. 5 - 10 L Entwicklerkonzentrat je L Fotolack)

AZ[®] 326 MIF ist eine 2.38 %ige wässrige TMAH- (TetraMethylAmmoniumHydroxid) Lösung.

AZ[®] 726 MIF ist 2.38 % TMAH in Wasser, mit zusätzlichen Netzmitteln zur raschen und homogenen Benetzung des Substrates z. B. für die Puddle-Entwicklung.

AZ® 826 MIF ist 2.38 % TMAH in Wasser, mit zusätzlichen Netzmitteln zur raschen und homogenen Benetzung des Substrates z. B. für die Puddle-Entwicklung und weiteren Additiven zur Entfernung schwer löslicher Lackbestandteile (Rückstände bei bestimmten Lackfamilien), allerdings auf Kosten eines etwas höheren Dunkelabtrags.

Unsere Remover: Anwendungsbereiche und Kompatibilitäten

AZ® 100 Remover ist ein Amin-Lösemittel Gemisch und Standard-Remover für AZ® und TI Fotolacke. Zur Verbesserung seiner Performance kann AZ® 100 Remover auf 60 - 80°C erhitzt werden. Da der AZ® 100 Remover mit Wasser stark alkalisch reagiert eignet er sich für diesbezüglich empfindliche Substratmaterialien wie z. B. Cu, Al oder ITO nur wenn eine Kontamination mit Wasser ausgeschlossen werden kann.

TechniStrip® P1316 ist ein Remover mit sehr starker Lösekraft für Novolak-basierte Lacke (u. a. alle AZ® Positivlacke), Epoxy-basierte Lacke, Polyimide und Trockenfilme. Bei typischen Anwendungstemperaturen um 75°C kann TechniStrip® P1316 auch z. B. durch Trockenätzen oder Ionenimplantation stärker quervernetzte Lacke rückstandsfrei auflösen. TechniStrip® P1316 kann auch im Sprühverfahren eingesetzt werden. Nicht kompatibel mit Au oder GaAs.

TechniStrip® P1331 ist im Falle alkalisch empfindlicher Materialien eine Alternative zum TechniStrip® P1316. Nicht kompatibel mit Au oder GaAs.

TechniStrip® NI555 ist ein Stripper mit sehr starker Lösekraft für Novolak-basierte Negativlacke wie dem AZ® 15 nXT und der AZ® nLOF 2000 Serie und sehr dicke Positivlacken wie dem AZ® 40 XT. TechniStrip® NI555 wurde dafür entwickelt, auch quervernetzte Lacke nicht nur abzulösen, sondern rückstandsfrei aufzulösen. Dadurch werden Verunreinigungen des Beckens und Filter durch Lackpartikel und -häutchen verhindert, wie sie bei Standard-Strippern auftreten können. Nicht kompatibel mit GaAs.

TechniClean™ CA25 ist ein Remover für post etch residue (PER) removal. Äußerst effizient beim selektiven Entfernen organo-metallischer Oxide von Al, Cu, Ti, TiN, W und Ni.

TechniStrip™ NF52 ist ein Sehr effizienter Remover für Negativlacke (Flüssiglacke als auch Trockenfilme). Durch seine Zusammensetzung und speziellen Additive kompatibel mit Metallen üblicherweise eingesetzt für BEOL interconnects oder WLP bumping.

TechniStrip™ Micro D2 ist ein Vielseitig einsetzbarer Stripper für Lift-off Prozesse oder generell dem Auflösen von Positiv- und Negativlacken. Seine Zusammensetzung zielt auf eine verbesserte Kompatibilität zu vielen Metallen sowie III/V Halbleitern.

TechniStrip™ MLO 07 Hoch-effizienter Remover für Positiv- und Negativlacke eingesetzt in den Bereichen IR, III/V, MEMS, Photonic, TSV mask und solder bumping. Kompatibel zu Cu, Al, Sn/Ag, Alumina und einer Vielzahl organischer Substrate.

Unsere Wafer und ihre Spezifikationen

Silicium-, Quarz-, Quarzglas und Glaswafer

Silicium-Wafer werden aus über das Czochralski- (CZ-) oder Floatzone- (FZ-) Verfahren hergestellten Einkristallen gefertigt. Die deutlich teureren FZ-Wafer sind in erster Linie dann sinnvoll, wenn sehr hochohmige Wafer (> 100 Ohm cm) gefordert werden welche über das CZ-Verfahren nicht machbar sind.

Quarzwafer bestehen aus einkristallinem SiO₂, Hauptkriterium ist hier die Kristallorientierung bzgl. der Waferoberfläche (z. B. X-, Y-, Z-, AT- oder ST-Cut)

Quarzglaswafer bestehen aus amorphem SiO₂. Sog. JGS2-Wafer sind im Bereich von ca. 280 - 2000 nm Wellenlänge weitgehend transparent, die teureren JGS1-Wafer bei ca. 220 - 1100 nm.

Unsere Glaswafer bestehen wenn nicht anders angegeben aus im Floatverfahren hergestelltem Borosilikatglas.

Spezifikationen

Für alle Wafer relevant sind Durchmesser, Dicke und Oberfläche (1- oder 2-seitig poliert). Bei Quarzglaswafern ist die Frage nach dem Material (JGS1 oder JGS2) zu klären, bei Quarzwafern die Kristallorientierung. Bei Silicium-Wafern gibt es neben der Kristallorientierung (<100> oder <111>) die Parameter Dotierung (n- oder p-Typ) sowie die elektrische Leitfähigkeit (in Ohm cm)

Prime- Test- und Dummy-Wafer

Bei Silicium-Wafern gibt neben dem üblichen „Prime-grade“ auch „Test-grade“ Wafer, die sich meist nur in einer etwas breiteren Partikelspezifikation von Prime-Wafern unterscheiden. „Dummy-Wafern“ erfüllen aus unterschiedlichen Gründen (z. B. sehr breite oder fehlenden Spezifizierung bestimmter Parameter, evtl. auch Reclaim-Wafer und solche völlig ohne Partikelspezifikation) weder Prime- noch Test-grade, können jedoch für z. B. Belackungstests oder das Einfahren von Equipment eine sehr preiswerte Alternative sein.

Unsere Silicium-, Quarz-, Quarzglas und Glaswafer

Eine ständig aktualisierte Liste der aktuell verfügbaren Wafer finden Sie hier:

☞ www.microchemicals.com/de/produkte/wafer/waferlist.html

Weitere Produkte aus unserem Portfolio

Galvanik

Elektrolyte und Hilfsstoffe für die elektrochemische Abscheidung von z. B. Gold, Kupfer, Nickel, Zinn oder Palladium: ☞ www.microchemicals.com/de/produkte/galvanik.html

Lösemittel (MOS, VLSI, ULSI)

Aceton, Isopropanol, MEK, DMSO, Cyclopentanon, Butylacetat, u. a.

☞ www.microchemicals.com/de/produkte/loesungsmittel.html

Säuren und Basen (MOS, VLSI, ULSI)

Salzsäure, Schwefelsäure, Salpetersäure, KOH, TMAH, u. a.

☞ www.microchemicals.com/de/produkte/saeuren_basen.html

Ätzmischungen

Für z. B. Chrom, Gold, Silicium, Kupfer, Titan, Titan / Wolfram u. a.

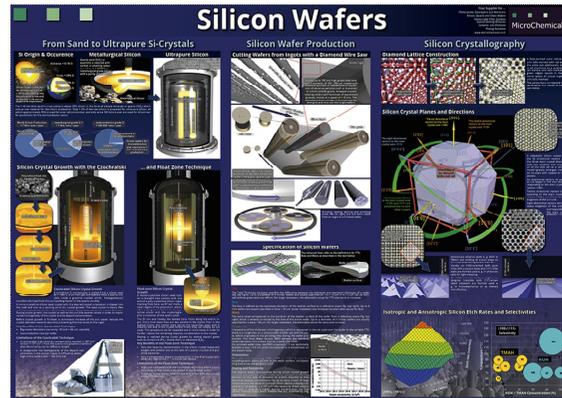
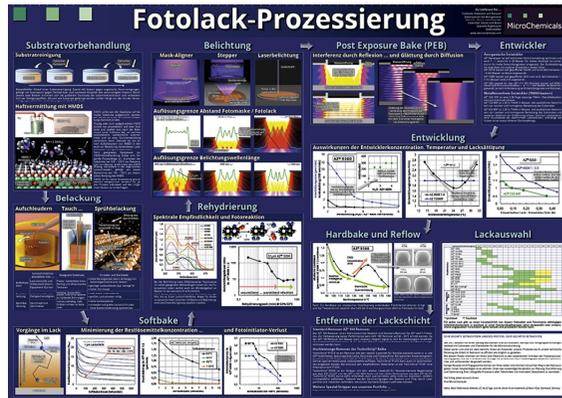
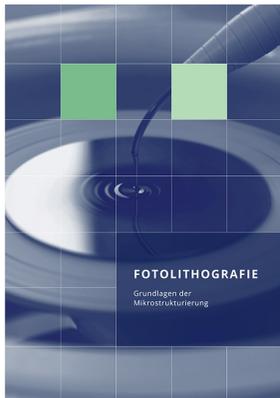
☞ www.microchemicals.com/de/produkte/aetzmischungen.html

Weiterführende Informationen

Technische Datenblätter: www.microchemicals.com/de/downloads/technische_datenblaetter/fotolacke.html

Sicherheitsdatenblätter: www.microchemicals.com/de/downloads/sicherheitsdatenblaetter/sicherheitsdatenblaetter.html

Unsere Lithografiebücher und -Poster



Wir sehen es als unsere Aufgabe, Ihnen möglichst alle Aspekte der Mikrostrukturierung anwendungsorientiert verständlich zu machen.

Diesen Anspruch umgesetzt haben wir derzeit mit unserem Buch **Fotolithografie** auf über 200 Seiten, sowie ansprechend gestalteten DIN A0 **Postern** für Ihr Büro oder Labor.

Beides senden wir Ihnen als unser Kunde gerne gratis zu (ggfalls. berechnen wir für außereuropäische Lieferungen Versandkosten):

www.microchemicals.com/de/downloads/broschueren.html

www.microchemicals.com/de/downloads/poster.html

Vielen Dank für Ihr Interesse!

Gewährleistungs- und Haftungsausschluss & Markenrechte

Alle in diesem Buch enthaltenen Informationen, Prozessbeschreibungen, Rezepturen etc. sind nach bestem Wissen und Gewissen zusammengestellt. Dennoch können wir keine Gewähr für die Korrektheit der Angaben übernehmen. Insbesondere bezüglich der Rezepturen für chemische (Ätz-)Prozesse übernehmen wir keine Gewährleistung für die korrekte Angabe der Bestandteile, der Mischverhältnisse, der Herstellung der Ansätze und deren Anwendung. Die sichere Reihenfolge des Mischens von Bestandteilen einer Rezeptur entspricht üblicherweise nicht der Reihenfolge ihrer Auflistung.

Wir garantieren nicht für die vollständige Angabe von Hinweisen auf (u. a. gesundheitliche, arbeitssicherheitstechnische) Gefahren, die sich bei Herstellung und Anwendung der Rezepturen und Prozesse ergeben. Die Angaben in diesem Buch basieren im Übrigen auf unseren derzeitigen Erkenntnissen und Erfahrungen. Sie befreien den Verwender wegen der Fülle möglicher Einflüsse bei Verarbeitung und Anwendung unserer Produkte nicht von eigenen Prüfungen und Versuchen. Eine Garantie bestimmter Eigenschaften oder die Eignung für einen konkreten Einsatzzweck kann aus unseren Angaben nicht abgeleitet werden. Grundsätzlich ist jeder Mitarbeiter dazu angehalten, sich im Zweifelsfall in geeigneter Fachliteratur über die angedachten Prozesse vorab ausreichend zu informieren, um Schäden an Personen und Equipment auszuschließen. Alle hier vorliegenden Beschreibungen, Darstellungen, Daten, Verhältnisse, Gewichte, etc. können sich ohne Vorankündigung ändern und stellen nicht eine vertraglich vereinbarte Produktbeschaffenheit dar. Etwaige Schutzrechte sowie bestehende Rechtsvorschriften sind vom Verwender unserer Produkte in eigener Verantwortung zu beachten.

Merck, Merck Performance Materials, AZ, the AZ logo, and the vibrant M are trademarks of Merck KGaA, Darmstadt, Germany

MicroChemicals GmbH
Nicolaius-Otto-Str. 39
89079, Ulm
Germany

Fon: +49 (0)731 977 343 0
Fax: +49 (0)731 977 343 29
e-Mail: info@microchemicals.net
Internet: www.microchemicals.net